
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040074901 A
(43)Date of publication of application: 26.08.2004

(21)Application number: 1020030070479
(22)Date of filing: 10.10.2003
(30)Priority: 17.02.2003 JP 2003
2003038709

(71)Applicant: RENESAS TECHNOLOGY
CORP.
(72)Inventor: SUZUKI TAKANOBU

(51)Int. Cl. G11C 11/40

(54) SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE CAPABLE OF CONTROLLING DATA OUTPUT TIMING, IN WHICH OUTPUT TIMING OF ALL DATA IS EQUAL



(57) Abstract:

PURPOSE: A synchronous semiconductor memory device capable of controlling data output timing is provided to improve fabrication product ratio by controlling data output timing in a burst read operation.

CONSTITUTION: According to a data output control circuit(200), an output control circuit(250) outputs control signals(ZRDH0,ZRDLO) to set a level of a data signal(DQ) being output from a data output circuit(240). A delay control unit(210) outputs the control signal(ZRDH0) at one propagation time on the ground of the control signal from a signal propagation control circuit(230). The data output circuit has a P channel MOS transistor(242) and an N-channel MOS transistor(243) and an inverter(241). The signal propagation control circuit(230) has a NAND circuit(231), an inverter(232), a clock inverter(233) and a latch circuit(235).

© KIPO 2005

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

공개특허 제2004-74901호(2004.08.26) 1부.

[첨부그림 1]

10-2004-0074901

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.
G11C 11/40

(11) 공개번호 10-2004-0074901
(43) 공개일자 2004년06월26일

(21) 출원번호	10-2003-0070479
(22) 출원일자	2003년10월10일
(30) 우선권주장	JP-P-2003-00038709 2003년02월17일 일본(JP)
(71) 출원인	기부 시찌기이샤 르네사스 테크놀로지
(72) 발명자	일본 100-6334 도쿄도 지요다구 마루노우치 2-조메 4-1 스즈키다카노부
(74) 대리인	일본도쿄도지요다구마루노우치2조메4-1르네사스테크놀로지코퍼레이션내 김형세

심사결과 : 있음

(54) 데이터 출력 타이밍을 조정할 수 있는 동기형 반도체 기억장치

요약

메모리 셀 어레이(100)의 데이터를 버스트 판독할 때, 데이터 출력 회로(240)로부터 데이터를 출력시키기 위한 제어 신호 ZRD0 및 제어 신호 ZRD0을 출력하는 데이터의 순서에 따라서, 다른 전파 시간에 전달하는 지연 제어부(210)와 지연 제어부(220)를 입출력 버퍼(150) 내에 마련한다.

도표도

도3

발명서

도면의 간단한 설명

- 도 1은 동기형 반도체 기억 장치의 시스템의 개략을 나타낸 블록도.
- 도 2는 동기형 반도체 기억 장치의 개략적인 구성을 나타내는 블록도.
- 도 3은 동기형 반도체 기억 장치에서, 입출력 버퍼의 내부에 마련되는 데이터 출력 제어 회로의 구성을 나타내는 회로도.
- 도 4는 지연 회로의 내부 구성을 나타내는 회로도.
- 도 5는 동기형 반도체 기억 장치에서의 버스트 판독 동작을 설명하는 동작 파형도.
- 도 6은 실시예 1의 변형예에 따른 동기형 반도체 기억 장치에서의 입출력 버퍼의 내부에 마련되는 데이터 출력 제어 회로의 구성을 나타내는 회로도.
- 도 7은 지연 회로의 내부 구성을 나타내는 회로도.

도면의 주요 부분에 대한 부호의 설명

- #01, #02 : 데이터선 61, 61a : 폭주
- 100 : 메모리 셀 어레이 150 : 입출력 버퍼
- 200 : 데이터 출력 제어 회로
- 210, 210a, 220, 220a : 지연 제어부
- 211, 213, 221, 223 : 트랜스미션 게이트
- 212, 212a, 222, 222a : 지연 회로
- 215, 216 : P 채널 MOS 트랜지스터
- 212.1~212.n : 지연 소자 219 : 인버터
- 250 : 출력 제어 회로 230 : 신호 전파 제어 회로

240 : 데이터 출력 회로 260 : 전파 시간 조정 회로
260.1~260.n : 인버터 1000 : 동기형 반도체 기억 장치
1100 : DRAM 제어기 1200 : 출력 발생기

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 동기형 반도체 기억 장치에 관한 것으로, 보다 특정적으로는 버스트 판독 동작에서의 데이터 출력 타이밍의 상위를 해소할 수 있는 동기형 반도체 기억 장치에 관한 것이다.

동기형 반도체 기억 장치에 대한 고주파 동작화의 요구에 따라, 외부 클럭 신호의 상승 에지와 하강 에지에 동기하여 외부와 데이터의 교환을 실행하는 더블데이터 레이트(SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory: 이하, DDR-SDRAM이라고 부름))이 개발되고, 상용화되어 있다.

DDR-SDRAM은, 외부 클럭 신호의 상승 에지 또는 하강 에지 중 어느 한쪽에 동기하여 동작하는 SDRAM과 비교하여, 대략 2배의 속도로 데이터의 판독 및 데이터의 기록을 실행할 수 있다.

그러나, DDR-SDRAM은, 매우 고속으로 동작하기 때문에, 특히 외부 클럭 신호와 첫번째의 출력 데이터의 타이밍 시간을 규정한 tAC 및 외부 클럭 신호와 두번째 이후의 출력 데이터의 타이밍 시간을 규정한 tAC를 규격상의 범위 내에 포함되게 하기 위해서는 고정밀도로 데이터 출력의 타이밍을 조정해야 한다.

그래서, DDR-SDRAM에 대해서는 아니지만, 동기형 반도체 기억 장치에 있어서, 데이터 출력의 타이밍을 조정하는 기술(이하, 종래기술이라고 함)이, 예컨대 일본 특허 공개 명세서 제 11-86547호 공보에 개시되어 있다.

본 발명이 이루고자 하는 기술적 과제

일반적으로, DDR-SDRAM 또는 SDRAM 등의 동기형 반도체 기억 장치에서의 버스트 판독 동작에 있어서는, 첫번째 데이터가 출력되기까지의 시간은, 프리차지 레벨(Vcc/2)로부터의 전압 레벨의 변화에 필요한 시간에 상당한다. 한편, 두번째 이후의 데이터가 출력되기까지의 시간은, 전압 전압 Vcc 또는 잠지 전압 VDD로부터의 전압 레벨의 변화에 필요한 시간에 상당한다. 따라서, 첫번째의 데이터 출력 타이밍은 두번째 이후의 데이터 출력 타이밍보다 상대적으로 짧게 된다.

상술한 종래기술은, SDRAM에 대하여, 데이터 출력의 타이밍을 조정하기 위한 것이지만, 버스트 판독 동작에서의 첫번째 데이터 출력 타이밍과 두번째 이후의 데이터 출력 타이밍의 상위를 해소하는 것에 대한 대책에 대해서는 개시되어 있지 않다.

동기형 반도체 기억 장치에서의 버스트 판독 동작에 있어서, 모든 데이터 출력 타이밍이 동등하면, 데이터를 취입하는 클럭 신호에 대한 소정의 셋업 시간 및 소정의 홀드 시간이 일정하게 된다.

따라서, 양상에 있어서, 동기형 반도체 기억 장치 내에 마련되는, 외부에 데이터를 출력하기 위한 회로(이하에서는, 데이터 출력 회로 그룹이라고도 부름) 내의 장치의 전기 특성에 편차가 발생하여, 셋업 시간 및 홀드 시간에 다소 오차가 발생하더라도, 동기형 반도체 기억 장치로부터의 출력 데이터를 데이터 판독 장치가 정상으로 판독할 수 있을 가능성은 높다.

그러나, 데이터의 당해 출력 타이밍이 다른 경우, 양상에 있어서, 동기형 반도체 기억 장치 내의 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 발생하면, 데이터 신호를 정확히 수신하기 위한 소정의 셋업 시간과 소정의 홀드 시간을 충분히 확보할 수 없게 될 가능성이 높아진다. 따라서, 데이터 판독 장치가 정상으로 데이터를 판독하지 않게 될 가능성이 높게 된다. 종래에는, 이와 같은 제법은 불량품으로 간주될 가능성이 높아, 제조 제품비율의 저하를 초래하고 있었다.

본 발명의 목적은, 버스트 판독에서의, 데이터의 출력 타이밍의 상위를 해소함으로써, 제조 제품비율의 향상을 도모할 수 있는 동기형 반도체 기억 장치를 제공하는 것이다.

본 발명의 구성 및 작용

본 발명은, 요약하면, 클럭 신호에 동기하여 동작하는 동기형 반도체 기억 장치로서, 복수의 메모리 셀이 배치된 메모리 셀 어레이와, 메모리 셀 어레이로부터 복수개의 판독 데이터를 버스트 판독하고, 복수개의 판독 데이터의 레벨을 각각 나타내는 복수의 판독 지시를 클럭 신호에 동기하여 순차적으로 생성하는 출력 제어 회로와, 순차적으로 생성된 복수의 판독 지시의 각각에 응답하여, 데이터를 출력하는 데이터 출력 회로와, 클럭 제어 회로와 데이터 출력 회로 사이에 마련되며, 클럭 제어 회로에 의해 생성된 복수의 판독 지시의 각각을 데이터 출력 회로로 전달하는 전달 제어부와, 클럭 제어 회로에 의해서 순차적으로 생성되는 복수의 판독 지시의 각각이, 복수개의 판독 데이터 중의 첫번째 및 두번째 이후의 판독 데이터 중 어느 것에 대응하는지를 판정하는 신호 전파 제어 회로를 구비하고, 전달 제어부는, 신호 전파 제어 회로의 판정 결과에 따라서, 첫번째 판독 데이터에 대응하는 판독 지시를 제 1 전달 시간에 데이터 출력 회로로 전달하는 한편, 두번째 이후의 판독 데이터에 대응하는 판독 지시를 제 2 전달 시간에 데이터 출력 회로로 전달한다.

따라서, 본 발명의 주된 미점은, 동기형 반도체 기억 장치에 있어서, 버스트 판독에 있어, 두번째 이후의 판독 데이터에 대응하는 판독 지시가 데이터 출력 회로로 전달되는 시간과, 첫번째 판독 데이터에 대응하는 판독 지시가 데이터 출력 회로로 전달되는 시간을 조정할 수 있게 때문에, 중간 전압으로 프리차지된 상태로부터의 첫번째 판독 데이터 출력시와 두번째 이후의 판독 데이터 출력시에서의, 데이터 출력 타이밍의 상위를 해소할 수 있다는 점에 있다.

이 결과, 양산에 있어서, 동기형 반도체 기억 장치 내의 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 발생하여, 출력 데이터의 셋업 시간 및 홀드 시간에 다소 오차가 발생한 경우에도, 외부에 마련된 데이터 판독 장치가 출력 데이터를 정상으로 판독할 수 있는 가능성이 높아진다. 따라서, 종래는, 불량품으로 간주될 가능성이 높던 제품이 감소하기 때문에, 제조 제품비율의 향상을 도모할 수 있다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부 도면과 관련하여 이해되는 본 발명에 따른 다음의 상세한 설명에서 명백해질 것이다.

이하에서, 본 발명의 실시예에 대하여, 도면을 참조하면서 설명한다. 또, 도면 중 동일 부호는 동일 또는 상당 부분을 나타낸다.

(실시예 1)

도 1을 참조하면, 동기형 반도체 기억 장치의 시스템은 동기형 반도체 기억 장치(1000)와, DRAM 제어기(1100)와, 클럭 발생기(1200)로 구성된다. 동기형 반도체 기억 장치(1000)에는, DQR-SDRAM에 일례로서 표시되어 있다.

이하의 설명에서, 전두에 기호 “/”가 붙여진 신호는, 당해 “/”를 붙이지 않는 신호를 반전한 신호의 것으로 한다. 또한, 이하에서는, 신호 및 데이터 등의 2차(值)적인 고전압 상태(예컨대, 전원 전압 Vcc) 및 저전압 상태(예컨대, 접지 전압 GND)를, 각각 H 레벨 및 L 레벨이라고도 부른다.

DRAM 제어기(1100) 및 동기형 반도체 기억 장치(1000)는 클럭 발생기(1200)로부터 출력되는 외부 클럭 신호 CLK 및 /CLK에 따라 동작한다.

DRAM 제어기(1100)는, 제어 신호 /RAS, /CAS, /WE, /CS, OE 및 출력 인에이블 신호 CKE와, 어드레스 신호 A0~A12, 뱅크 어드레스 신호 BA0~BA1을 동기형 반도체 기억 장치(1000)에 송신한다. 또한, DRAM 제어기(1100)는, 데이터 송수신의 타이밍의 기준으로 되는 데이터 스트로브 신호 DQS를 동기형 반도체 기억 장치(1000)에 송수신함으로써, 동기형 반도체 기억 장치(1000)로부터 데이터를 판독하거나, 동기형 반도체 기억 장치(1000)로 데이터를 기록하거나 하는 것이 가능해진다.

동기형 반도체 기억 장치(1000)는, DRAM 제어기(1100)로부터 버스트 판독의 요구가 있으면, 연속한 데이터 00을 DRAM 제어기(1100)로 송신한다. DRAM 제어기(1100)는, 클럭 신호 CLK에 대하여 소정의 셋업 시간 및 소정의 홀드 시간이 확보되면, 정상으로 데이터를 수신할 수 있다. 그러나, DQR-SDRAM에서, 버스트 판독 동작을 실행하면, 첫번째 데이터의 출력 타이밍은 두번째 이후의 데이터의 출력 타이밍보다 빠르게 된다.

그 때문에, 외부 클럭 신호와 첫번째의 출력 데이터의 타이밍 시간을 규정한 tLZ는, 외부 클럭 신호와 두번째 이후의 출력 데이터의 타이밍 시간을 규정한 tAC보다 작아진다. tLZ와 tAC의 차이가 큰 경우, 양산에 있어서, 동기형 반도체 기억 장치 내의 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 발생하면, 데이터 신호 00을 정확히 수신하기 위한 셋업 시간과 홀드 시간을 충분히 확보할 수 없게 될 가능성이 높아진다. 따라서, DRAM 제어기(1100)가, 버스트 판독에 있어서, 정상으로 데이터를 수신할 수 없게 될 가능성이 높아진다.

그래서, 버스트 판독 동작에서의 tAC와 tLZ를 동등하게 함으로써 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 다소 발생하더라도, DRAM 제어기(1100)가 정상으로 데이터를 수신할 수 있도록 구성된 동기형 반도체 기억 장치(1000)의 구성을 이하에 설명한다.

도 2를 참조하여, 동기형 반도체 기억 장치(1000)는, 외부 클럭 신호 CLK, /CLK, 클럭 인에이블 신호 CKE를 받는 클럭 버퍼(10)와, 어드레스 신호 A0~A12 및 뱅크 어드레스 신호 BA0, BA1을 받는 어드레스 버퍼(20)와, 제어 신호 /CS, /RAS, /CAS, /WE, OE를 받는 제어 신호 버퍼(30)를 포함한다. 어드레스 버퍼(20) 및 제어 신호 버퍼(30)는 클럭 버퍼(10)의 출력에 동기하여 상술한 어드레스 신호나 제어 신호를 취입한다.

동기형 반도체 기억 장치(1000)는, 데이터 송수신의 타이밍의 기준으로 되는 데이터 스트로브 신호 DQS를 입출력하는 데이터 스트로브 버퍼(120)와, 클럭 버퍼(10)의 출력에 따라 내부 클럭 신호를 발생하는 딜레이 블록 부트(DLL) 회로(110)와, 외부와 메모리 셀 어레이(100) 사이에서 데이터의 송수신을 할 수 있게 하는 입출력 버퍼(150)를 더 포함한다.

동기형 반도체 기억 장치 내부의 신호 전파 지연 때문에, 외부 클럭 신호 CLK에 따라 입출력 버퍼(150)가 데이터 출력을 실행했다면 외부 클럭 신호 CLK에 대하여 데이터 출력 타이밍이 늦어 버린다. 이것을 방지하기 위해서, DLL 회로(110)는, 외부 클럭 신호 CLK, /CLK에 근거하여, 내부의 신호 전파 지연에 상응하는 시간만큼 위상이 빠른 내부 클럭 신호 CLK0를 생성하여 입출력 버퍼(150)에 공급한다.

동기형 반도체 기억 장치(1000)는, 클럭 버퍼(10)의 출력에 동기하여, 어드레스 버퍼(20), 제어 신호 버퍼(30)의 출력을 받는 제어 회로(40)와, 제어 회로(40)에 의해 제어되어, 데이터의 기록을 실행하는 메모리 셀 어레이(100)와, 모드 레지스터(50)를 더 포함한다.

메모리 셀 어레이(100)는 각각의 복수의 메모리 셀이 배치된, 4개의 뱅크 #0~뱅크 #3으로 분할된다.

입출력 버퍼(150)는, DLL 회로(110)로부터의 내부 클럭 신호 CLK0에 동기하여, 뱅크 어드레스 신호 BA0, BA1에 따라 선택되는 메모리 셀 어레이(100)의 뱅크 #0~#3 내의 복수의 메모리 셀 중의 선택된 하나의

메모리 셀의 데이터를 외부에 출력한다. 한편, 입출력 버퍼(150)는, 데이터 스트로브 버퍼(120)로부터 인가되는 데이터 스트로브 신호 DS0에 동기하여 외부로부터 입력되는 데이터를 취입한다.

모드 레지스터(50)는, 제어 회로(40)로부터의 제어 신호의 조합에 의해 인가되는 모드 레지스터 세트 커맨드에 따라서, 그 때에 인가되고 있는 어드레스 신호에 의해서 지정되는 동작 모드를 유지한다.

다음에, 입출력 버퍼(150)의 내부에 마련되는 버스트 관측에서의 데이터의 출력 타이밍을 고정밀도로 조정할 수 있는 구성을 가진 데이터 출력 회로에 대하여 설명한다.

동기형 반도체 기억 장치(1000)에서, 입출력 버퍼(150)의 내부에는, 데이터 출력 제어 회로(200)가 마련된다.

도 3을 참조하여, 데이터 출력 제어 회로(200)는, 메모리 셀 어레이(100)로부터의 데이터를 출력할 때, 내부 클럭 신호 CLK0에 동기하여 동작하는 출력 제어 회로(250)와, 지연 제어부(210)와, 지연 제어부(220)와, 신호 전파 제어 회로(230)와, 데이터 출력 회로(240)와, 데이터선 #D1과, 데이터선 #D2를 포함한다.

출력 제어 회로(250)는, 메모리 셀 어레이(100)로부터의 관측 데이터의 레벨에 근거하여, 데이터 출력 회로(240)로부터 출력하는 데이터 신호 D0의 레벨을 설정하기 위한 제어 신호 ZR0H, ZR0L을 출력한다. 데이터 출력 회로(240)로부터 데이터 신호 D0을 출력할 때는, 제어 신호 ZR0H 및 제어 신호 ZR0L은 서로 상반된 레벨로 설정된다. 한편, 데이터 출력 회로(240)로부터 데이터 신호 D0을 출력하지 않는 경우는, 데이터 출력 회로(240)의 출력을 하이 임피던스로 하기 위해서, 제어 신호 ZR0H 및 제어 신호 ZR0L은 모두 H 레벨로 설정된다.

상세한 것은 후술하지만, 지연 제어부(210)는, 신호 전파 제어 회로(230)로부터의 제어 신호에 근거하여, 제어 신호 ZR0H를 다른 2개의 전파 시간 중 어느 하나의 전파 시간에 출력한다. 지연 제어부(210)로부터 출력된 신호는 제어 신호 ZR0H로 된다. 제어 신호 ZR0H는 데이터 출력 회로(240)로 입력된다. 마찬가지로, 지연 제어부(220)는, 신호 전파 제어 회로(230)로부터의 제어 신호에 근거하여, 제어 신호 ZR0L을 다른 2개의 전파 시간 중 어느 하나의 전파 시간에 출력한다. 지연 제어부(220)로부터 출력된 신호는 제어 신호 ZR0L로 된다. 제어 신호 ZR0L은 데이터 출력 회로(240)로 입력된다.

데이터 출력 회로(240)는, 전원 전압 Vcc와 접지 전압 GND 사이에 직렬로 접속된 P 채널 MOS 트랜지스터(242) 및 N 채널 MOS 트랜지스터(243)와, 인버터(241)를 갖는다. P 채널 MOS 트랜지스터(242)의 게이트로는 제어 신호 ZR0H가 입력된다. 인버터(241)는 제어 신호 ZR0L의 반전 레벨의 신호를 출력한다. N 채널 MOS 트랜지스터(243)의 게이트로는 인버터(241)의 출력 신호가 입력된다.

따라서, 데이터 출력 회로(240)는, 제어 신호 ZR0H 및 ZR0L이 각각 H 레벨 및 L 레벨로 설정되어 있는 경우는, 노드 #0로부터 L 레벨의 데이터 신호 D0을 출력한다. 한편, 데이터 출력 회로(240)는, 제어 신호 ZR0H 및 ZR0L이 각각 L 레벨 및 H 레벨로 설정되어 있는 경우는, 노드 #0로부터 H 레벨의 데이터 신호 D0을 출력한다.

신호 전파 제어 회로(230)는, NAND 회로(231)와, 인버터(232)와, 출력 인버터(233)와, 래치 회로(235)를 갖는다.

NAND 회로(231)는 제어 신호 ZR0H 및 ZR0L의 부정적 논리곱 연산(negative logical product operation)을 실행한 신호를 출력한다. 인버터(232)는 NAND 회로(231)로부터의 출력 신호의 반전 레벨의 신호를 출력한다. 출력 인버터(233)는, L 레벨의 내부 클럭 신호 CLK0 및 그 반전 신호 /CLK0에 따라서, 인버터(236)의 출력 신호의 반전 레벨의 신호를 출력한다. (232)의 출력 신호의 반전 레벨의 신호를 출력한다.

래치 회로(235)는 인버터(236)와, 출력 인버터(237)를 갖는다. 인버터(236)는 출력 인버터(233)의 출력 신호의 반전 레벨의 신호를 전파 시간 제어 신호 S16로서 출력한다. 출력 인버터(237)는, H 레벨의 내부 클럭 신호 CLK0 및 그 반전 신호 /CLK0에 따라서, 인버터(236)의 출력 신호의 반전 레벨의 신호를 출력한다. 따라서, 래치 회로(235)는, 출력 인버터(237)의 2개의 제어 단자로, H 레벨의 내부 클럭 신호 CLK0 및 L 레벨의 내부 클럭 신호 /CLK0이 각각 입력되지 않은 경우, 인버터(236)에 입력된 신호의 반전 레벨의 신호를 일시적으로 유지하는 기능을 갖는다.

지연 제어부(210)는 노드 #1과 노드 #1a 사이에 트랜스미션 게이트(211)를 갖는다. 트랜스미션 게이트(211)는, 2개의 제어 단자에 L 레벨의 전파 시간 제어 신호 S16 및 H 레벨의 전파 시간 제어 신호 S16a가 각각 입력되면, 제어 신호 ZR0H를 제어 신호 ZR0H로서 출력한다.

지연 제어부(210)는 노드 #1과 노드 #1a 사이에 직렬로 접속된 지연 회로(212) 및 트랜스미션 게이트(213)를 더 갖는다. 지연 회로(212)의 내부에는, 상세한 것은 후술하지만, 제어 신호 ZR0H를 소정 시간 지연시킨 신호를 출력하기 위한 복수의 인버터가 마련되어 있다. 트랜스미션 게이트(213)는, 2개의 제어 단자에 L 레벨의 전파 시간 제어 신호 S16 및 H 레벨의 전파 시간 제어 신호 S16a가 각각 입력되면, 지연 회로(212)의 출력 신호를 제어 신호 ZR0H로서 출력한다.

따라서, 지연 제어부(210)는, 전파 시간 제어 신호 S16, S16a에 따라서, 제어 신호 ZR0H의 노드 #1로부터 노드 #1a까지의 전파 시간을 변화시킬 수 있다.

지연 제어부(220)는 노드 #2와 노드 #2a 사이에 트랜스미션 게이트(221)를 갖는다. 트랜스미션 게이트(221)는 트랜스미션 게이트(211)와 마찬가지로 기능을 갖기 때문에, 상세한 설명은 반복하지 않는다.

지연 제어부(220)는 노드 #2와 노드 #2a 사이에 직렬로 접속된 지연 회로(222) 및 트랜스미션 게이트(223)를 더 갖는다. 지연 회로(222)는 지연 회로(212)와 마찬가지로 구성되기 때문에 상세한 설명은 반복하지 않는다. 트랜스미션 게이트(223)는 트랜스미션 게이트(213)와 마찬가지로 기능을 갖기 때문에 상세한 설명은 반복하지 않는다.

따라서, 지연 제어부(220)는, 전파 시간 제어 신호 S16, S16a에 따라서, 제어 신호 ZR0L의 노드 #2로부터

터 노드 #2a까지의 전파 시간을 변화시킬 수 있다.

데이터선 #01은 노드 #1a와 P 채널 MOS 트랜지스터(242)의 게이트를 전기적으로 접속한다. 따라서, 데이터선 #01은, 자연 제어부(210)로부터 출력된 제어 신호 ZRDH를 데이터 출력 회로(240)까지 전달한다.

데이터선 #02는 노드 #2a와 인버터(241)를 전기적으로 접속한다. 따라서, 데이터선 #02는 자연 제어부(220)로부터 출력된 제어 신호 ZROL을 데이터 출력 회로(240)까지 전달한다.

데이터 출력 제어 회로(200)는 전원 전압 Vcc와 데이터선 #01 사이에 마련된 P 채널 MOS 트랜지스터(215)와, 전원 전압 Vcc와 데이터선 #02 사이에 마련된 P 채널 MOS 트랜지스터(216)를 더 포함한다.

P 채널 MOS 트랜지스터(215; 216)의 게이트로는, 프리차지 신호 PR01 입력된다. 따라서, 프리차지 신호 PR01 L 레벨로 설정되어 있는 경우에는, 제어 신호 ZRDH 및 ZROL은, 제어 신호 ZRDH0, ZROL0의 전압 레벨에 관계없이, H 레벨로 설정된다. 한편, 프리차지 신호 PR01 H 레벨로 설정되어 있는 경우에는, 제어 신호 ZRDH 및 ZROL의 전압 레벨은, 각각 제어 신호 ZRDH0 및 제어 신호 ZROL0의 전압 레벨과 같다.

다음에, 자연 회로(212)의 내부 구성을 설명한다.

도 4를 참조하여, 자연 회로(212)는 직렬로 접속된 n개의 자연 소자(212.1~212.n)를 갖는다. 자연 소자(212.1)는 직렬로 접속된 인버터(217) 및 인버터(218)를 갖는다. 자연 소자(212.2~212.n)의 각각은 자연 소자(212.1)와 마찬가지로 구성을 갖기 때문에 상세한 설명은 반복하지 않는다. 따라서, 자연 회로(212)는 #1로부터 #1a까지의 제어 신호 ZRDH0의 신호의 전파 시간을 자연 소자의 수만큼 길게 할 수 있다.

자연 회로(222)는 자연 회로(212)와 마찬가지로 구성을 갖기 때문에 상세한 설명은 반복하지 않는다.

일반적으로, 도 3에 나타내는 데이터 출력 회로(240) 내의 P 채널 MOS 트랜지스터(242)가 턴온하여 데이터 신호 00가 출력되는 시간(이하에서는, H 레벨 출력 시간이라고 부름)과, N 채널 MOS 트랜지스터(243)가 턴온하여 데이터 신호 00가 출력되는 시간(이하에서는, L 레벨 출력 시간이라고 부름)은 양산 편차 등에 의해서, 반드시 동등하게는 되지 않는 경우가 있다. 그 때문에, 자연 회로(212) 또는 자연 회로(222) 내의 자연 소자의 수를 조절함으로써, 후술하는, 버스트 판독 동작에 있어서 첫번째 데이터의 H 레벨 출력 시간과 L 레벨 출력 시간이 동등하게 되도록 조절할 수도 있다.

도 5를 참조하여, 본 실시예에서의 동기형 반도체 기억 장치(1000)에서는, 제어 커맨드 000이 발행되고 나서 데이터가 출력될 때까지 필요한 출력수 0은 '2'로 설정되어 있는 것으로 한다. 또한, 버스트 판독 동작에 있어서 메모리 셀 어레이(100)로부터 판독된 데이터의 레벨은 'H, L, H, L, H, L'의 순서라고 한다. 또한, 자연 회로(212; 222)에서 설정되어 있는 소정의 전파 시간은 tLZ와 tAC가 같게 되도록 설정되어 있는 것으로 한다.

또, 본 실시예에서는, 도 10에서의 동기형 반도체 기억 장치(1000)와 DRAM 제어기(1100) 사이에, 동기형 반도체 기억 장치(1000)로부터 출력되는 데이터 신호 00를 DRAM 제어기(1100)로 전달하는 데이터선들 1/2Vcc로 프리차지하는 회로(도시하지 않음)가 마련되어 있는 것으로 한다. 또한, 도 5에서의 00는 당해 데이터선의 전압 레벨을 나타낸 것으로 한다. 또한, 설명의 형편상, 데이터 신호 00가 데이터 출력 회로(240)로부터 출력된 시간과, 동기형 반도체 기억 장치(1000)로부터 데이터 신호 00가 출력되어, 당해 데이터선에 전달된 시간과 같은 것으로 한다.

다음에, 도 2, 도 3 및, 도 5를 참조하여, 동기형 반도체 기억 장치(1000)에서의 버스트 판독시의 동작을 설명한다. 시간 t1에서, 제어 커맨드의 하나인 판독 커맨드 READ가 동기형 반도체 기억 장치(1000)에 취입된다. 또한, 시간 t1에서는, 데이터 출력 제어 회로(200) 내의 데이터선 #01, #02는, 프리차지가 실행되고 있으므로 프리차지 신호 PR은 L 레벨로 설정되어 있기 때문에, 제어 신호 ZRDH, ZROL은 H 레벨로 된다. 그리고, 시간 t2에서, 메모리 셀 어레이(100) 내의 소량의 '뱅크' 내의 특수의 메모리 셀의 데이터가 연속하여 출력 제어 회로(250)로 입력되기 시작한다. 동시에, 출력 제어 회로(250)에 입력된 데이터를 출력하기 위해서 프리차지가 해제된다. 따라서, 프리차지 신호 PR은 H 레벨로 설정된다.

프리차지가 해제되더라도 제어 신호 ZRDH, ZROL은 각각 H 레벨을 유지하기 때문에, NAND 회로(231)의 출력 신호의 레벨은 L 레벨로 설정된다. 따라서, 인버터(232)의 출력 신호는 H 레벨로 설정된다. 그리고, 시간 t3에서, 내부 클럭 신호 CLK0가 L 레벨이 되면, 클럭 인버터(233)는 인버터(232)의 출력 신호의 반전 레벨의 신호를 출력하기 때문에, 전파 시간 제어 신호 S16는 H 레벨로 설정된다. 그 후, 내부 클럭 신호 CLK0가 H 레벨로 되어도, 제어 신호 ZRDH, ZROL의 전압 레벨이 변화할 때까지는, 클럭 인버터(233; 237)의 동작에 의해 전파 시간 제어 신호 S16는 H 레벨로 유지된다.

시간 t4에서, 데이터 출력 회로(240)로부터 버스트 판독 동작에서의 첫번째 데이터인 H 레벨의 데이터 신호 00를 출력시키기 위해서, 출력 제어 회로(250)로부터 L 레벨의 제어 신호 ZRDH0 및 H 레벨의 ZROL0이 출력된다. 시간 t4에서는, 전파 시간 제어 신호 S16는 H 레벨로 설정되어 있기 때문에, 자연 제어부(210) 내의 트랜스미션 게이트(213)만이 턴온한다. 마찬가지로, 자연 제어부(220) 내의 트랜스미션 게이트(223)만이 턴온한다. 따라서, 제어 신호 ZRDH0은, 노드 #1로부터 자연 회로(212)를 거쳐서 노드 #1a로 전달되기 때문에, 자연 회로(212)에서 설정되어 있는 소정의 전파 시간(예컨대, 시간 T1)에 노드 #1로부터 노드 #1a까지 전달된다. 그 결과, 시간 t4에서, L 레벨의 제어 신호 ZRDH0은, 시간 t4로부터 시간 T1이 경과한 후의 시간 t5에서 L 레벨의 제어 신호 ZRDH로 된다.

마찬가지로, 제어 신호 ZROL0도, 노드 #2로부터 자연 회로(222)를 거쳐서 노드 #2a로 전달되기 때문에, 자연 회로(222)에서 설정되어 있는 소정의 전파 시간(예컨대, 시간 T1)에 노드 #2로부터 노드 #2a까지 전달된다. 따라서, 시간 t4에서, H 레벨의 제어 신호 ZROL0은, 시간 t4로부터 시간 T1이 경과한 후의 시간 t5에서 H 레벨의 제어 신호 ZROL로 된다. 데이터 출력 회로(240)로부터 첫번째 데이터 신호 00를 출력시키기 위한 제어 신호 ZRDH0, ZROL0이 출력 제어 회로(250)로부터 출력된 시간 t4로부터, 실제로 데이터 출력 회로(240)의 노드 #0의 전압 레벨이 변화하기 시작하는 시간 t5까지의 시간이 tLZ로 된다.

시간 t5에서, 제어 신호 ZRDH가 L 레벨로 설정되고, 제어 신호 ZROL이 H 레벨로 설정되면, 데이터 출력

회로(240)는, 시각 t6에서 H 레벨의 데이터 신호 00를 출력한다.

또한, 시각 t6에서, 내부 출력 신호 CLK가 L 레벨이 되면, 출력 인버터(233)는 턴온한다. 시각 t6에서, 제어 신호 ZR0H는 L 레벨이며, 제어 신호 ZR0L은 H 레벨이기 때문에, NAND 회로(231)의 출력 신호의 레벨은 H 레벨로 설정된다. 따라서, 전파 시간 제어 신호 S16는 L 레벨로 설정된다. 즉, 버스트 판독 동작에 있어서, 첫번째 데이터의 레벨을 설정하기 위한 제어 신호 ZR0H 및 제어 신호 ZR0L이 서로 상반된 레벨이 된 후, 내부 출력 신호 CLK가 L 레벨이 되면, 전파 시간 제어 신호 S16는 그 후, 신호 전파 제어 회로(230)의 동작에 의해 L 레벨을 유지한다.

전파 시간 제어 신호 S16가 L 레벨로 설정되면, 지연 제어부(210) 내의 트랜스미션 게이트(213)는 턴오프하고, 트랜스미션 게이트(211)가 턴온한다. 마찬가지로, 지연 제어부(220) 내의 트랜스미션 게이트(223)는 턴오프하고, 트랜스미션 게이트(221)가 턴온한다. 따라서, 제어 신호 ZR0H은, 노드 #1로부터 트랜스미션 게이트(211)를 거쳐서 노드 #1a로 전달되기 때문에, 지연 회로(212)를 거치지 않는 만큼 노드 #1로부터 노드 #1a로 빠르게 전달된다.

마찬가지로, 제어 신호 ZR0L도 노드 #2로부터 트랜스미션 게이트(221)를 거쳐서 노드 #2a로 전달되기 때문에, 지연 회로(222)를 거치지 않는 만큼 노드 #2로부터 노드 #2a로 빠르게 전달된다.

시각 t7에서, 데이터 출력 회로(240)로부터 버스트 판독 동작에서의 두번째 데이터인 L 레벨의 데이터 신호 00를 출력하기 위해서, 출력 제어 회로(250)로부터 H 레벨의 제어 신호 ZR0H 및 L 레벨의 ZR0L이 출력된다.

H 레벨의 제어 신호 ZR0H은 트랜스미션 게이트(211)를 거쳐서 H 레벨의 제어 신호 ZR0H로 된다. 한편, L 레벨의 제어 신호 ZR0L은 트랜스미션 게이트(221)를 거쳐서 L 레벨의 제어 신호 ZR0L로 된다. 따라서, 데이터 출력 회로(240)는, 시각 t6에서 L 레벨의 데이터 신호 00를 출력한다. 따라서, 시각 t7로부터 시각 t8까지의 시간 T2가, 두번째 이후의 데이터를 데이터 출력 회로(240)로부터 출력할 때에 필요한 시간으로 된다. 또한, 시간 T2는, 여전히 H 레벨의 신호가 L 레벨이 되기까지의 시간, 즉 신호가 반전 레벨이 되는 데 필요한 시간이기도 하다. 따라서, 시간 T2의 절반의 시간 T2/2는, 신호의 전파 레벨이 1/2Vcc에서 H 레벨 또는 L 레벨로 되기까지의 시간과 같다.

시각 t9에서, 데이터 출력 회로(240)로부터 버스트 판독 동작에서의 세번째 데이터인 H 레벨의 데이터 신호 00를 출력하기 위해서, 출력 제어 회로(250)로부터 L 레벨의 제어 신호 ZR0H 및 H 레벨의 ZR0L이 출력된다. 따라서, 데이터 출력 회로(240)는, 시각 t9로부터 시간 T2만큼 경과한 시간에 H 레벨의 데이터 신호 00를 출력한다. 여기서, 지연 회로(212; 222)에서 각각 설정되어 있는 소정의 전파 시간은, tL2와 tAC가 같게 되도록 설정되어 있기 때문에, 시각 t9로부터, 시간 T2/2가 경과한 시각 t10까지의 시간이 tAC로 된다. 그 결과, 첫번째 데이터 신호 00가 H 레벨을 유지하는 시간, 두번째 이후의 데이터 신호 00가 L 또는 H 레벨을 유지하는 기간은 같게 된다.

이상 설명한 바와 같이, 실시예 1에 따른 동기형 반도체 기억 장치(1000)는, 버스트 판독 동작에 있어서, 데이터 신호가 전파 레벨을 유지하는 기간을, 판독된 데이터 신호의 순서에 관계없이 일정하게 하는 것이 가능해진다. 따라서, 버스트 판독 동작에 있어서, 동기형 반도체 기억 장치(1000)로부터 출력되는 데이터 신호의 셋업 시간 및 홀드 시간이 일정하게 되기 때문에, 동기형 반도체 기억 장치(1000)의 외부에 마련된 데이터 판독 장치 등으로, 데이터 신호를 보다 정확히 판독하는 것이 가능해진다.

그 결과, 양산에 있어서, 동기형 반도체 기억 장치 내의 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 발생하여, 출력 데이터의 셋업 시간 및 홀드 시간이 다소 오차가 발생한 경우에도, 데이터 판독 장치가 출력 데이터를 정상으로 판독할 수 있는 가능성이 높게 된다. 따라서, 증대, 불량률으로 간주될 가능성이 낮은 제품이 감소하기 때문에, 제조 제품비율의 향상을 도모할 수 있다.

[실시예 1의 변형예]

일반적으로, 동기형 반도체 기억 장치는, 양산에 있어서 장치의 전기 특성에 편차가 발생한다. 그 때문에, 동기형 반도체 기억 장치(1000)에서의 데이터 출력 제어 회로(200) 내의 tLZ를 조정하기 위한 지연 회로(212)의 신호 전파 시간과 지연 회로(222)의 신호 전파 시간이 동등하게 되지 않는 경우가 있다. 이 하에, 지연 회로의 전파 시간을 조정하기 위한 구성을 설명한다.

도 6을 참조하여, 데이터 출력 제어 회로(200a)는, 실시예 1에 따른 도 3에 나타내는 데이터 출력 제어 회로(200)와 비교하여, 지연 제어부(210) 대신에 지연 제어부(210a)를 갖는 점과, 지연 제어부(220) 대신에 지연 제어부(220a)를 갖는 점이 다르다. 그 이외의 구성 및 기능은 데이터 출력 제어 회로(200)와 마찬가지로, 때문에 상세한 설명은 반복하지 않는다.

지연 제어부(210a)는 지연 제어부(210)와 비교하여 지연 회로(212) 대신에 지연 회로(212a)를 갖는 점이 다르다. 그 이외의 구성 및 기능은 지연 제어부(210)와 마찬가지로, 때문에 상세한 설명은 반복하지 않는다.

지연 제어부(220a)는 지연 제어부(220)와 비교하여 지연 회로(222) 대신에 지연 회로(222a)를 갖는 점이 다르다. 그 이외의 구성 및 기능은 지연 제어부(220)와 마찬가지로, 때문에 상세한 설명은 반복하지 않는다.

다음에, 신호의 전파 시간을 조정하는 기능을 갖는 지연 회로(212a)의 내부 구성을 설명한다.

도 7을 참조하여, 지연 회로(212a)는 직렬로 접속된 전파 시간 조정 회로(260) 및 인버터(219)를 갖는다.

전파 시간 조정 회로(260)는 병렬로 접속된 n개의 인버터(260.1~260.n)를 갖는다. 인버터(260.1)는, 전원 전압 Vcc와 접지 전압 GND 사이에 직렬로 접속된 퓨즈(61), P 채널 MOS 트랜지스터(62), N 채널 MOS 트랜지스터(63) 및 퓨즈(61a)를 갖는다. 인버터(260.2~260.n)의 각각은 인버터(260.1)와 마찬가지로의 구

성을 갖기 때문에 상세한 설명은 반복하지 않는다.

노드 #1로부터의 신호는 인버터(260.1) 내의 P 채널 MOS 트랜지스터(62)의 게이트 및 N 채널 MOS 트랜지스터(63)의 게이트로 입력된다. 마찬가지로, 노드 #1로부터의 신호는, 인버터(260.2~260.n)의 각각이 갖는 P 채널 MOS 트랜지스터의 게이트 및 N 채널 MOS 트랜지스터의 게이트에 입력된다. 인버터(260.1)의 P 채널 MOS 트랜지스터(62) 및 N 채널 MOS 트랜지스터(63)의 접속 노드 #n으로부터 출력되는 신호는, 인버터(219)에 의해 반전 레벨의 신호로서 트랜스미션 게이트(213)로 출력된다. 인버터(260.2~260.n)의 각각이 갖는 P 채널 MOS 트랜지스터 및 N 채널 MOS 트랜지스터의 접속 노드가 출력되는 신호도 마찬가지로, 인버터(219)에 의해서 반전 레벨의 신호로서 트랜스미션 게이트(213)로 출력된다.

인버터(260.1)는, 퓨즈(61, 61a)가 절단되어 있지 않은 경우, 노드 #1로부터 입력된 신호의 반전 레벨의 신호를 인버터(219)로 출력한다. 인버터(260.2~260.n)도 마찬가지로, 각각이 갖는 2개의 퓨즈가 절단되어 있지 않은 경우, 인버터(260.1)와 마찬가지로 노드 #1로부터 입력된 신호의 반전 레벨의 신호를 인버터(219)로 출력한다.

따라서, 전파 시간 조정 회로(260) 내의 인버터(260.1~260.n)는, 각각 병렬로 접속되어 있는 것으로 된다. 그 때문에, 인버터(260.1~260.n)의 각각이 갖고 있는 2개의 퓨즈(이하에서는, 퓨즈 그룹이라고 부를)를 레지터 등에 의해 절단함으로써, 전파 시간 조정 회로(260)의 구동력을 조정할 수 있다. 절단하는 퓨즈 그룹이 많을수록, 전파 시간 조정 회로(260)의 구동력이 작아진다. 한편, 절단하는 퓨즈 그룹이 적을수록, 전파 시간 조정 회로(260)의 구동력이 커진다. 전파 시간 조정 회로(260)의 구동력이 적을수록, 노드 #1로부터 입력된 신호가 노드 #n으로부터 반전 레벨의 신호로서 출력되기까지의 시간(이하에서는, 신호 레벨 변화 시간이라고도 부를)이 길어진다. 한편, 전파 시간 조정 회로(260)의 구동력이 클수록, 신호 레벨 변화 시간이 짧아진다.

인버터(219)는, 노드 #n으로부터 입력되는 신호의 전압 레벨이 소정의 임계값 이하 또는 이상으로 되면, 노드 #n으로부터 입력되는 신호의 반전 레벨의 신호를 출력한다. 즉, 인버터(219)는 입력 신호가 소정의 임계값 이하 또는 이상인가를 판정할 수 있는 기능을 갖는다.

신호 레벨 변화 시간이 길면, 노드 #n으로부터 출력된 신호가 인버터(219)에 의해서 반전 레벨의 신호로서 출력되기까지의 시간이 길어진다. 즉, 지연 회로(212a)의 신호의 전파 시간이 길어진다.

한편, 신호 레벨 변화 시간이 짧으면, 노드 #n으로부터 출력된 신호가 인버터(219)에 의해서 반전 레벨의 신호로서 출력되기까지의 시간이 짧아진다. 즉, 지연 회로(212a)의 신호의 전파 시간이 짧아진다.

또한, 지연 회로(222a)는 지연 회로(212a)와 마찬가지로 구성 및 기능을 갖기 때문에 상세한 설명은 반복하지 않는다.

따라서, 지연 회로(212a) 또는 지연 회로(222a) 내의 절단하는 퓨즈 그룹의 수에 의해서, 지연 회로(212a) 또는 지연 회로(222a)의 신호의 전파 시간을 조정하는 것이 가능해진다.

이상 설명한 바와 같이, 실시예 1의 변형예에 따른 동기형 반도체 기억 장치(1000)에서는, 망산시에 있어 장치의 전기 특성의 편차가 발생하여, 제품 테스트 후에 tLZ가 설계값의 범위 내에 포함되지 않은 것이 판명되어도, 지연 회로(212a) 또는 지연 회로(222a)의 신호의 전파 시간을 조정함으로써, tLZ를 설계값의 범위 내에 포함되게 할 수 있다. 따라서, 제조 제품비율의 향상을 도모할 수 있다.

또, 실시예 1 또는 실시예 1의 변형예에서는, 동기형 반도체 기억 장치가 DDR-SDRAM인 경우의 구성을 대표적으로 설명했지만, 본 발명의 적용범위는, 동기형 반도체 기억 장치가 DDR-SDRAM인 경우에 한정되는 것이 아니다. 동기형 반도체 기억 장치가 다른 규격의 메모리(예컨대, SDRAM)인 경우에도, 데이터 입출력 회로에 데이터 출력 제어 회로(200 또는 200a)를 적용함으로써, 버스트 판독 동작에서의 데이터의 출력 타이밍의 조정을 실행할 수 있다.

본 발명을 상세하게 설명했지만, 이것은 예시를 위한 것뿐으로서, 한정되는 것은 아니며, 발명의 형식과 범위는 청구범위에 의해서만 한정되는 것이 명백하게 이해될 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 동기형 반도체 기억 장치의 버스트 판독에 있어서, 두번째 이후의 판독 데이터에 대응하는 판독 지시가 데이터 출력 회로로 전달되는 시간은, 첫번째 판독 데이터에 대응하는 판독 지시가 데이터 출력 회로로 전달되는 시간보다도 짧다. 따라서, 중간 전압으로 프리차지된 상태로부터의 첫번째 판독 데이터 출력시와 두번째 이후의 판독 데이터 출력시에서의, 데이터 출력 타이밍의 상위를 해소할 수 있다.

이 결과, 망산에 있어서, 동기형 반도체 기억 장치 내의 데이터 출력 회로 그룹 내의 장치의 전기 특성에 편차가 발생하여, 출력 데이터의 셋업 시간 및 홀드 시간에 다소 오차가 발생한 경우에도, 외부에 마운트된 데이터 판독 장치가 출력 데이터를 정상으로 판독할 수 있는 가능성이 높아진다. 따라서, 종래는, 불량품으로 간주할 가능성이 높던 제품이 감소하기 때문에, 제조 제품비율의 향상을 도모할 수 있다.

(57) 청구의 범위

형구항 1

클럭 신호에 동기하여 동작하는 동기형 반도체 기억 장치로서,

복수의 메모리 셀이 배치된 메모리 셀 어레이와,

상기 메모리 셀 어레이로부터 복수개의 판독 데이터를 버스트 판독하고, 상기 복수개의 판독 데이터의 레

별을 각각 나타내는 복수의 판독 지시를 상기 출력 신호에 동기하여 순차적으로 생성하는 출력 제어 회로와,

순차적으로 생성된 상기 복수의 판독 지시의 각각에 응답하여, 데이터를 출력하는 데이터 출력 회로와,

상기 출력 제어 회로와 상기 데이터 출력 회로 사이에 마련되고, 상기 출력 제어 회로에 의해 생성된 상기 복수의 판독 지시의 각각을 상기 데이터 출력 회로로 전달하는 전달 제어부와,

상기 출력 제어 회로에 의해서 순차적으로 생성되는 상기 복수의 판독 지시의 각각이, 상기 복수개의 판독 데이터 중의 첫번째 및 두번째 이후의 판독 데이터 중 어느 것에 대응하는지를 판정하는 신호 전파 제어 회로를 구비하고,

상기 전달 제어부는, 상기 신호 전파 제어 회로의 판정 결과에 따라서, 첫번째의 상기 판독 데이터에 대응하는 상기 판독 지시를 제 1 전달 시간에 상기 데이터 출력 회로로 전달하는 한편, 두번째 이후의 상기 판독 데이터에 대응하는 상기 판독 지시를 상기 제 1 전달 시간과는 다른 제 2 전달 시간에 상기 데이터 출력 회로로 전달하는

동기형 반도체 기억 장치.

형구항 2

제 1 항에 있어서,

상기 데이터 출력 회로와 전기적으로 접속된 제 1 노드 및 제 2 노드의 각각을, 상기 버스트 판독의 개시 전에 소정 전압으로 프리차지하고, 또한, 상기 버스트 판독의 개시 후에 상기 제 1 노드 및 상기 제 2 노드의 각각을 상기 소정 전압으로부터 분리하는 전압 설정 회로를 더 구비하고,

상기 복수의 판독 지시의 각각은, 대응하는 판독 데이터의 레벨에 따라서, 상보적인 레벨로 설정되는 제 1 제어 신호 및 제 2 제어 신호를 포함하며,

상기 전달 제어부는, 상기 출력 제어 회로에 의해 생성된 상기 제 1 제어 신호 및 상기 제 2 제어 신호를, 상기 신호 전파 제어 회로의 상기 판정 결과에 따라, 상기 제 1 전달 시간 및 상기 제 2 전달 시간 중 어느 한쪽에서 상기 제 1 노드 및 상기 제 2 노드로 각각 전달하고,

상기 신호 전파 제어 회로는, 상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 근거하여, 상기 출력 제어 회로에 의해 생성되는 상기 제 1 제어 신호 및 상기 제 2 제어 신호가, 상기 첫번째 판독 데이터 및 상기 두번째 이후의 판독 데이터 중 어느 것에 대응하는지를 판정하는 판정부를 포함하는

동기형 반도체 기억 장치.

형구항 3

제 1 항에 있어서,

상기 전달 제어부는,

상기 제 1 전달 시간 및 상기 제 2 전달 시간의 차에 상응하는 지연 시간을 부여하기 위한 지연 회로와,

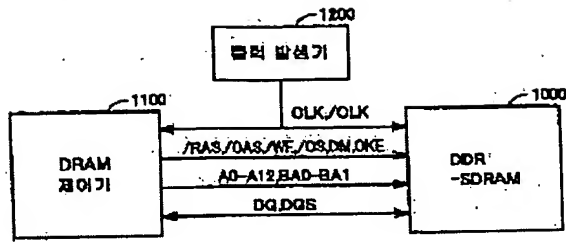
상기 신호 전파 제어 회로의 상기 판정 결과에 따라서, 상기 첫번째 판독 데이터에 대응하는 상기 판독 지시에 대해서는, 상기 지연 회로를 통과시킨 후에 상기 데이터 출력 회로로 전달하는 한편, 상기 두번째 이후의 상기 판독 데이터에 대응하는 상기 판독 지시에 대해서는, 상기 지연 회로를 바이패스시켜 상기 데이터 출력 회로로 전달하는 경로 스위치를 갖고,

상기 지연 회로의 상기 지연 시간은 상기 지연 회로의 외부로부터의 입력에 의해서 비휘발적으로 조정할 수 있는

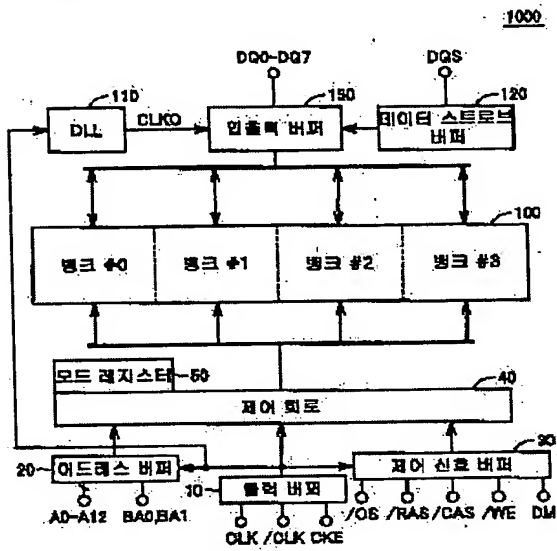
동기형 반도체 기억 장치.

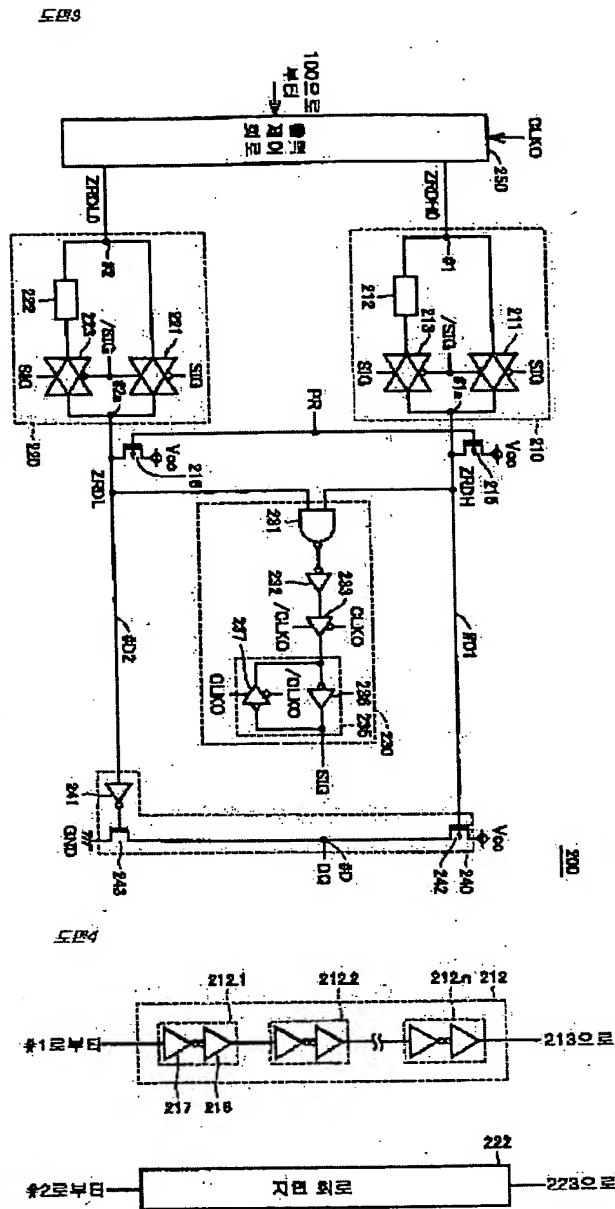
도면

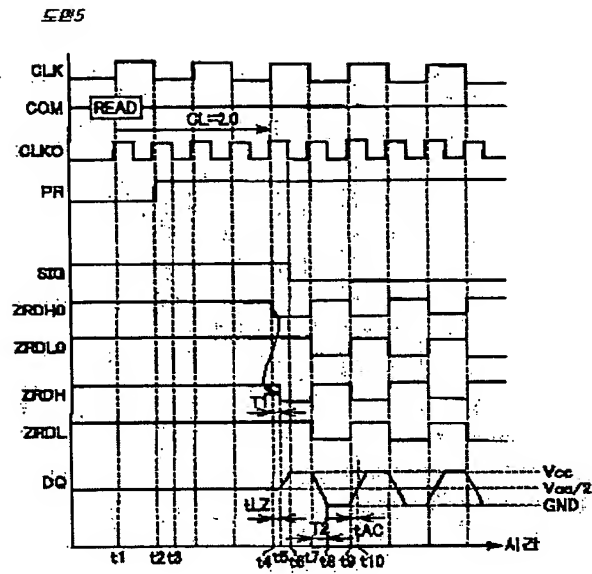
도면1

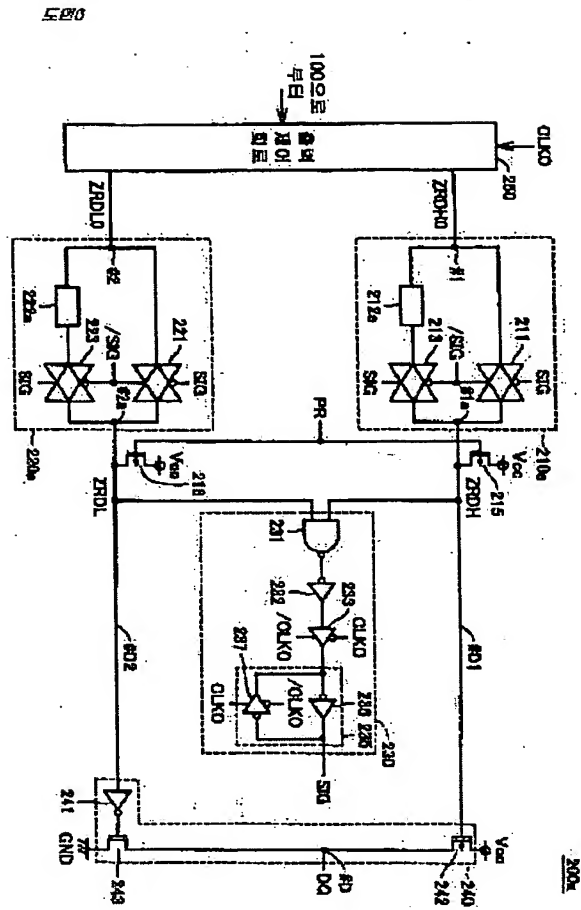


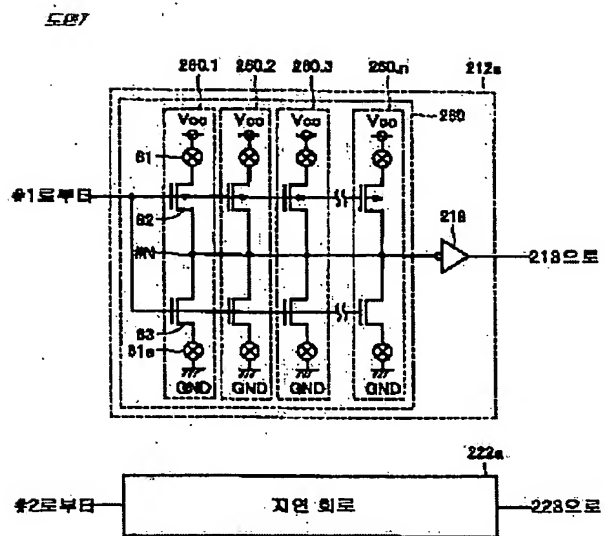
도면2











**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.